

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-354800

(43)Date of publication of application : 24.12.1999

(51)Int.Cl. H01L 29/786
H01L 21/336

(21)Application number : 10- (71)Applicant : HITACHI LTD
155586

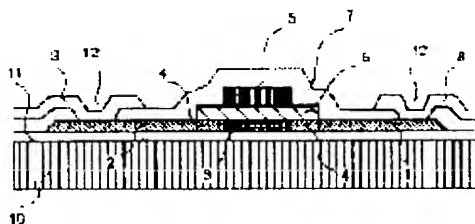
(22)Date of filing : 04.06.1998 (72)Inventor : SATO TAKESHI
KAWACHI GENSHIRO

(54) THIN-FILM TRANSISTOR, ITS FORMING METHOD, AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reliable thin-film transistor due to a high On current with a low-resistance LDD region.

SOLUTION: A thin-film transistor consists of a gate 5, a gate insulation layer 6, a channel 3, a source 1, a drain 2, and an LDD region 4. At this time, the channel 3 is formed by a polycrystalline Si film with an average particle diameter of 1/10 or less of the channel length. Also, the LDD region consists of an Si film where a crystal grain boundary does not cross a current path from the channel 3 and that is regarded nearly as a single crystal in a current flowing direction.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted]

registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

(10) 日本特許庁 (J.P.)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354800

(43) 公開日 平成11年(1999)12月24日

(51) Int. Cl.

識別記号

F1

H01L 29/78
21/38

H01L 29/78

616A

618D

627C

審査請求 未請求 請求項の数 4 O.L. (全 5 頁)

(61) 出願番号 特願平10-155586

(62) 出願日 平成10年(1998)6月4日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区千田蔵河台四丁目6番地

(72) 発明者 佐藤 健史

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 河内 玄士朗

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

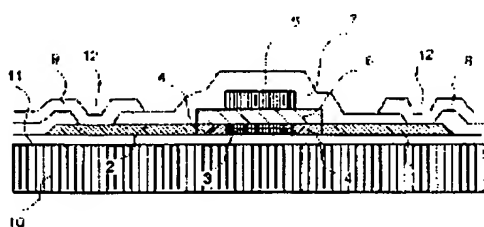
(54) 【発明の名称】 薄膜トランジスタ及びその形成方法並びに液晶表示装置

【要約】 (要約) (真正有)

【課題】 抵抗成分の低い領域を有し、高いオン電流による高信頼性の薄膜トランジスタを提供する。

【解決手段】 1、15、ゲート絶縁層4、チャネル3、ソース1、ドレイン2、1、1の領域4からなる薄膜トランジスタにおいて、チャネル3は、チャネル長の1/10以下の長さの複数の結晶5、順次形成され、L/Dの領域は、結晶5がチャネルからの電流経路を横切らる。1、1の領域4の両端に結晶5とみなせる5、順次形成される。

図 2



【発明の目的】

【発明の要約】

前記ゲート下のゲート絶縁層を介して形成され、且つ、絶縁層の基板上に形成される半導体膜からなるチャネルと

前記チャネルから分離された半導体膜からなり、トープされた、ゲートの下に、

前記ゲートと前記ゲート間並列に、前記チャネルと前記ゲートと、間前記ゲート及び、前記ゲートより低濃度のトープされた半導体膜からなるしじ領域とからなる薄膜トランジスタである。

前記ゲートと前記チャネル間のしじ領域の平均粒径を有する多結晶シリコン形成され、前記しじ領域は、結晶粒界の前記ゲートからの電流経路を横切らず、且つ電流方向に順向結晶とみなせるシリコン膜からなる薄膜トランジスタである。

【発明の効果】

前記ゲート絶縁層を介して前記ゲートが覆われた多結晶シリコンからなるチャネルと

前記チャネルと前記ゲート間並列に、前記チャネルと前記ゲートと、間前記ゲート絶縁層に覆われ、且つ前記ゲートが覆われていない結晶性シリコン膜からなるしじ領域とを有する薄膜トランジスタである。

【発明の図面】

図1は、ゲート半導体膜の前記ゲート絶縁層をマスクとして、ゲートと前記ゲート及び前記ゲートとなる領域とを形成する工程の断面図である。

前記ゲートと前記ゲートとをトープさせ、チャネル形成の半導体膜を溶解してゲート及びトープしたチャネルと絶縁層のゲート絶縁層に覆われた半導体膜をトープしてしじ領域とする薄膜トランジスタ形成方法。

【発明の実施例】

前記薄膜トランジスタを駆動する駆動回路の一部または全部と同、基板上に形成された薄膜トランジスタ基板と

前記薄膜トランジスタ基板と対抗する対抗基板の間に液晶を挟んだ液晶層とを有する液晶表示装置。

【発明の図面】

【発明の図面】

【発明の図面】

【発明の図面】

【発明の図面】

成するには、高い結晶性を持ったシリコンを用いる必要がある。しかし、液晶表示装置に用いる耐熱性の低いガラス基板には単結晶のシリコンを均一に形成することは困難であるため、レーザによりアモルファスシリコンをシリコンで結晶化した結晶性のある多結晶シリコンを用いた薄膜トランジスタが主に用いられている。レーザを用いたアモルファスシリコンの強度により得られる多結晶シリコンの粒径を制御できるとが知られている。また、シリコンの結晶性を改善するにはレーザの強度を分布を持たせ、低強度領域から高強度領域に向かってほぼ単結晶とみなせるシリコンの領域を成長させる方法が知られている。

【発明の図面】

【発明の図面】

【発明の図面】

【発明の図面】

【発明の図面】

【発明の図面】

れ、層間絶縁膜に蓄積された高電圧しじり領域4を空乏化して高抵抗化し、しじり電流を低下させる問題があった。

【0007】本発明の第1の目的は、しじり領域を覆う絶縁膜の層層が良好な薄膜トランジスタを形成し、しじり領域の抵抗増大を抑制してしじり電流の減少しない高信頼性の薄膜トランジスタを提供することにある。

【0008】

【課題を解決するための手段】本発明は、上記目的の1つを達成し、も解決するものであり、その特徴は、ゲート絶縁膜の下層にゲート絶縁層を介して形成され、且つ絶縁性の基板上に形成される半導体膜からなる「チャネル」領域と、前記チャネルと分離された半導体膜からなり、しじり電流のチャネルドレインと、前記チャネルと前記「チャネル」領域との間に前記「チャネル」より低濃度のドーパされた半導体膜からなるしじり領域とからなる薄膜トランジスタにおいて、前記チャネルは、チャネル長の1/2以下に平均的分布を有する多結晶シリコンで形成され、前記しじり領域は、結晶粒界が前記チャネルからの電流経路と接しない、且つ電流方向に散乱単結晶とみなせる単結晶からなる薄膜トランジスタである。

【0009】本発明は、平均の結晶粒径がチャネル長の1/2以下に平均的分布し、しじり領域が、電流が流れる方向に結晶粒界がない構成から、薄膜トランジスタの特性が向上すると考え、しじり領域の抵抗を低く出来る。

【0010】

【発明の効果】以下、本発明の実施方法を説明する。

【0011】図1は本発明の一実施例である薄膜トランジスタの断面図、図2はその断面図を示す。

【0012】多結晶シリコンからなるチャネル3と、チャネルと接する電流の向きに成長した結晶粒3'からなるしじり領域4は、しじり領域4を有する薄膜トランジスタである。チャネル3の多結晶シリコンは、平均粒径がチャネル3の1/2以下に平均的分布し、薄膜トランジスタの特性が向上すると考え、平均の結晶粒径がチャネル3の長さの1/2以下、望ましくは20分の1以下に平均的分布される。また、しじり領域4は、電流が流れる方向に結晶粒界がなく、散乱単結晶とみなせる単結晶で形成されている。このためしじり領域の抵抗は結晶粒界がない単結晶の場合と同じ程度まで低く、しじり電流が改善されている。

【0013】また、本発明の薄膜トランジスタでは、しじり領域4は、ゲート絶縁膜6に覆われ、しじり領域4は、ゲート絶縁膜6に覆われていない領域に形成されている。ゲート絶縁膜6は層間絶縁膜7より厚いので、しじり電圧をあまり低下させることなく、層間絶縁膜7を形成したとき、層間絶縁膜7より

低電圧に形成できる。しじり領域4が層間絶縁膜7に覆われる従来構造に対し、ゲート絶縁膜6に覆われる本発明の構造では絶縁膜中の欠陥によるしじり電流の蓄積が低減されるため、しじり領域4の空乏化が従来構造に比べ緩和され、信頼性が向上する。

【0014】図3と図6は本発明による薄膜トランジスタの形成法の例である。

【0015】図3a、bに多結晶シリコンの形成法を示す。ガラスからなる透明絶縁層1の上にSi、Oからなる保護膜2を介して、プラズマCVD法を用いて、レーザー光4aを走査して結晶化し、多結晶シリコン3とする。ここでレーザー強度は得られる多結晶シリコンの平均の結晶粒径がチャネル長の1/2以下の1以下となるように調整される。次にホトリソを用いて多結晶シリコンを島状に加工し、その上にSi、O、窒素をコーティングされたアモルファスシリコンをCVDにより堆積する。ホトリソを用いて、ガラスからなるゲート絶縁膜6と、コンタクトされたアモルファスシリコンからなるゲート5をそれぞれ形成して図3bのパターンを形成する。次に図3c、dに示すようにゲート絶縁膜6をマスクとして、レーザー光4bにより、レーザー光4bがチャネル3の中心に照射される。その後、再びレーザー光4cを行う。図3e、fにおいて、ゲート5をマスクとしてレーザー光4dを走査し、チャネル3、ドレイン3'及びしじり領域4を溶解する。次に、1及びドレイン3'よりしじり領域4がコーティングされる。リンが拡散し、ドーパされる。また、溶解したしじり領域4は溶解していないチャネル3'から熱を奪われるため、チャネル3'側から凝固して、チャネル3'の中心に向けて結晶成長し、チャネル3とドレイン3'の間にチャネル3'を介して流れる電流方向に散乱単結晶とみなせる領域からなるしじり領域4が形成される。なお、レーザー光4bにより、コンタクトされたアモルファスシリコンからなるゲート5も結晶化され、低抵抗の電極となる。さらに図3g、hに示す様に、ゲート絶縁膜6をマスクとして、アモルファスシリコンを低濃度のリンドーパした後、4dの照射の熱処理によりドーパントを活性化し、チャネル3、ドレイン3'及びしじり領域4を形成する。最後に図3i、jに示すように、ホトリソによりコンタクトホール1'を開口した後、金属膜を堆積して再びホトリソにより加工してレーザー光4e、fでチャネル3'の電極を形成し、薄膜トランジスタを得る。

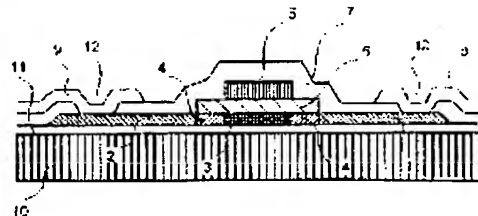
【0016】本形成法によれば、しじり領域4を覆うゲート絶縁膜6は図3g、hに示すようにレーザー光4b、cで溶解したしじり領域4より加熱されているので、しじり領域4の高温でアモルファスされ、ゲート絶縁膜6中の欠陥が低減される。これによりゲート絶縁膜6のしじり電流の蓄積が防止され、しじり領域の空乏化、高抵抗化が抑制されて高い信頼性が得られる。

【発明の概要】本発明によれば、均一な高い電子電流を有する面状、薄膜性材料、および薄膜トランジスタが得られ、液晶ディスプレイなどの液晶表示装置が得られる。

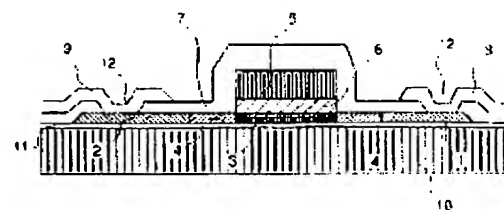
[illegible]

1793

图 2

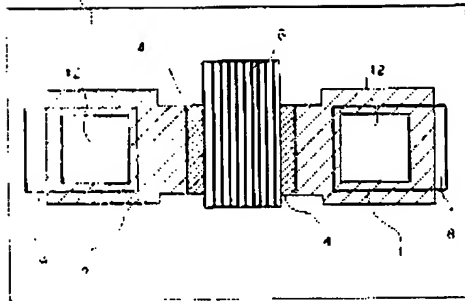


1341



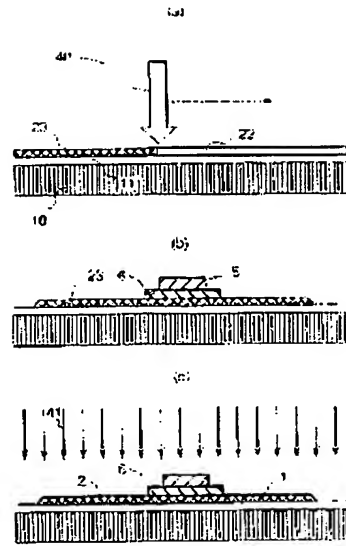
【図3】

図 3



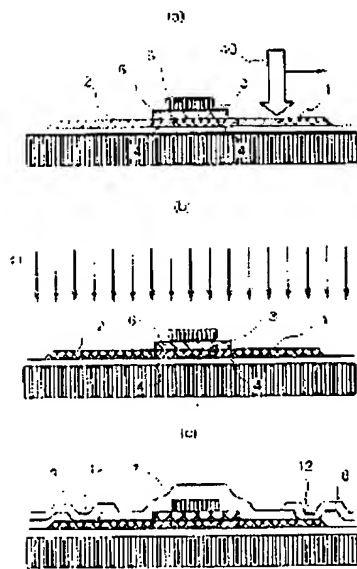
【図5】

図 5



【図6】

図 6



【図7】

図 7

